

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-35615  
(P2003-35615A)

(43) 公開日 平成15年2月7日 (2003.2.7)

| (51) Int.Cl. <sup>7</sup> | 識別記号  | F I          | チーコード* (参考) |
|---------------------------|-------|--------------|-------------|
| G 0 1 L 1/14              |       | G 0 1 L 1/14 | L 2 F 0 5 1 |
|                           | 5/16  |              | 5 B 0 8 7   |
| G 0 6 F 3/02              |       | G 0 6 F 3/02 | F           |
| 3/033                     | 3 3 0 | 3/033        | 3 3 0 A     |

審査請求 未請求 請求項の数17 O L (全 21 頁)

(21) 出願番号 特願2001-223422(P2001-223422)

(22) 出願日 平成13年7月24日 (2001.7.24)

(71) 出願人 000111085

ニッタ株式会社

大阪府大阪市浪速区桜川4丁目4番26号

(72) 発明者 森本 英夫

奈良県大和郡山市池沢町172番地 ニッタ  
株式会社奈良工場内

(72) 発明者 阿賀谷 智宏

奈良県大和郡山市池沢町172番地 ニッタ  
株式会社奈良工場内

(74) 代理人 100089196

弁理士 梶 良之 (外1名)

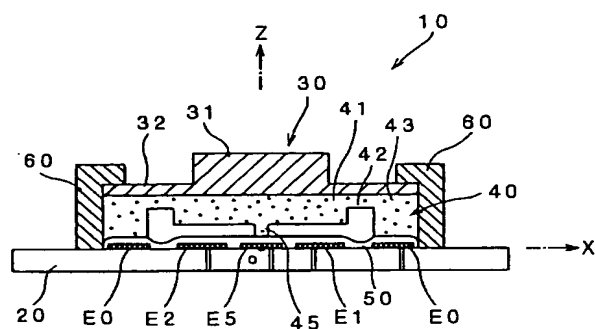
最終頁に続く

(54) 【発明の名称】 静電容量式センサ

(57) 【要約】

【課題】 感度特性が優れているとともに、ノイズの影響を受けにくい静電容量式センサを提供する。

【解決手段】 基板20上に容量素子用電極E1～E5および接地された基準電極E0が形成されている。これらの電極E0～E5に対向する位置には、外部から操作される検知部材30がZ軸方向に移動するのにともなってZ軸方向に変位する変位電極40が配置されている。変位電極40は、容量素子用電極E1～E5および基準電極E0との間で容量素子C0～C5をそれぞれ構成している。各容量素子C1～C5は外部から入力された信号に対してそれぞれ容量素子C0と直列に接続された関係となり、検知部材30が移動したときの容量素子C1～C5の静電容量値の変化が、ヒステリシス特性を有する信号処理回路によって検出されることにより、検知部材30の変位が認識される。



## 【特許請求の範囲】

【請求項1】 導電性部材と、  
前記導電性部材との間で第1の容量素子を構成する容量素子用電極と、  
前記導電性部材と電氣的に接続されるとともに、接地または一定の電位に保持された基準電極とを備え、  
前記第1の電極に対して入力される信号を利用して前記第1の容量素子の静電容量値の変化が検出されることに基づいて外部から作用した力を認識可能であって、  
対となる2つの前記容量素子用電極を有しており、これら一対の容量素子用電極の一方を含む回路および他方を含む回路にそれぞれ入力された信号の出力信号が、ヒステリシス特性を有する信号処理回路により検出されることを特徴とする静電容量式センサ。

【請求項2】 前記基準電極と前記導電性部材との間に、第2の容量素子が構成されていることを特徴とする請求項1に記載の静電容量式センサ。

【請求項3】 XYZ三次元座標系を定義したときに、XY平面を規定する基板と、  
前記基板と対向している検知部材と、  
前記基板と前記検知部材との間に位置し、前記検知部材がZ軸方向に変位するのにもなってZ軸方向に変位する導電性部材と、  
前記基板上に形成され、前記導電性部材との間で第1の容量素子を構成する容量素子用電極と、  
前記基板上に形成され、前記導電性部材との間で第2の容量素子を構成する接地または一定の電位に保持された基準電極とを備え、  
前記第1の容量素子と前記第2の容量素子とが前記容量素子用電極に対して入力される信号に対して直列に接続された関係となり、前記導電性部材と前記容量素子用電極との間隔の変化に起因する前記第1の容量素子の静電容量値の変化が検出されることに基づいて前記検知部材の変位を認識可能であって、  
対となる2つの前記容量素子用電極を有しており、これら一対の容量素子用電極の一方を含む回路および他方を含む回路にそれぞれ入力された信号の出力信号が、ヒステリシス特性を有する信号処理回路により検出されることを特徴とする静電容量式センサ。

【請求項4】 前記容量素子用電極が、Y軸に対して線対称に配置された一対の第1の容量素子用電極と、X軸に対して線対称に配置された一対の第2の容量素子用電極と、原点近傍に配置された第3の容量素子用電極を有していることを特徴とする請求項3に記載の静電容量式センサ。

【請求項5】 前記信号処理回路は、入力信号増加時のしきい値が入力信号減少時のしきい値よりも大きいものであることを特徴とする請求項1～4のいずれか1項に記載の静電容量式センサ。

【請求項6】 前記信号処理回路は、シュミット・トリ

ガ型論理素子を利用したものであることを特徴とする請求項1～5のいずれか1項に記載の静電容量式センサ。

【請求項7】 前記シュミット・トリガ型論理素子が、排他的論理和演算を行うことを特徴とする請求項6に記載の静電容量式センサ。

【請求項8】 前記シュミット・トリガ型論理素子が、論理和演算を行うことを特徴とする請求項6に記載の静電容量式センサ。

【請求項9】 前記シュミット・トリガ型論理素子が、論理積演算を行うことを特徴とする請求項6に記載の静電容量式センサ。

【請求項10】 前記シュミット・トリガ型論理素子が、論理積演算および否定演算を行うことを特徴とする請求項6に記載の静電容量式センサ。

【請求項11】 前記信号処理回路は、シュミット・トリガ型バッファ素子を利用したものであることを特徴とする請求項1～5のいずれか1項に記載の静電容量式センサ。

【請求項12】 前記信号処理回路は、シュミット・トリガ型インバータ素子を利用したものであることを特徴とする請求項1～5のいずれか1項に記載の静電容量式センサ。

【請求項13】 前記信号処理回路は、ヒステリシスコンパレータを利用したものであることを特徴とする請求項1～5のいずれか1項に記載の静電容量式センサ。

【請求項14】 前記一対の容量素子用電極の一方を含む回路および他方を含む回路に、互いに位相が異なる信号が供給されることを特徴とする請求項1～13のいずれか1項に記載の静電容量式センサ。

【請求項15】 前記一対の容量素子用電極の一方を含むCR回路と他方を含むCR回路との時定数が異なることを特徴とする請求項1～14のいずれか1項に記載の静電容量式センサ。

【請求項16】 前記信号は、ハイレベルとローレベルとを周期的に繰り返す信号であって、前記信号がローレベルである時に前記第1の容量素子を放電させる機能を有する制御素子が備えられていることを特徴とする請求項1～15のいずれか1項に記載の静電容量式センサ。

【請求項17】 前記制御素子として、オープンコレクタ型のインバータ素子が用いられていることを特徴とする請求項16に記載の静電容量式センサ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、多次元方向の操作入力を行うために用いて好適な静電容量式センサに関する。

## 【0002】

【従来の技術】静電容量式センサは、操作者が加えた力の大きさおよび方向を電気信号に変換する装置として利用されている。例えば、ゲーム機器の入力装置として、

多次元方向の操作入力を行うための静電容量式力覚センサ（いわゆるジョイスティック）として組み込んだ装置が利用されている。

【0003】静電容量式センサでは、操作者から伝えられた力の大きさとして、所定のダイナミックレンジをもった操作量を入力することができる。また、加えられた力を各方向成分ごとに分けて検出することが可能な二次元または三次元力覚センサとしても利用されている。特に、2枚の電極によって静電容量素子を形成し、電極間隔の変化に起因する静電容量値の変化に基づいて力の検出を行う静電容量式力覚センサは、構造を単純化してコストダウンを図ることができるメリットがあるために、さまざまな分野で実用化されている。

【0004】静電容量式センサとして、相反する方向成分の力を検出するための一対の固定電極と、これらの電極に対向するように配置された変位電極とを備えたものが知られている。この静電容量式センサでは、一方の固定電極と変位電極との間で構成される容量素子および他方の固定電極と変位電極との間で構成される容量素子の静電容量値の変化に基づいて外部から加えられた力が検出される。ここで、一対の固定電極に対してはそれぞれ信号が入力されており、これらの信号はそれぞれの容量素子の静電容量値の変化に基づく遅延が生じた後で、排他回路などで読み取られることによって出力信号が導出される。

【0005】

【発明が解決しようとする課題】しかしながら、上述の静電容量式センサが有する感度特性では、各方向成分の力を十分に検出することができないことがある。また、それぞれの固定電極に入力される信号に対してノイズが乗っている場合には、誤った出力信号が検出されることによって、センサが誤作動を起こしてしまう。

【0006】そこで、本発明の主な目的は、感度特性が優れているとともに、ノイズの影響を受けにくい静電容量式センサを提供することである。

【0007】

【課題を解決するための手段】上記目的を達成するために、請求項1の静電容量式センサは、導電性部材と、前記導電性部材との間で第1の容量素子を構成する容量素子用電極と、前記導電性部材と電気的に接続されるとともに、接地または一定の電位に保持された基準電極とを備え、前記第1の電極に対して入力される信号を利用して前記第1の容量素子の静電容量値の変化が検出されることに基づいて外部から作用した力を認識可能であって、対となる2つの前記容量素子用電極を有しており、これら一対の容量素子用電極の一方を含む回路および他方を含む回路にそれぞれ入力された信号の出力信号が、ヒステリシス特性を有する信号処理回路により検出されることを特徴としている。

【0008】請求項1によると、ヒステリシス特性を有

する信号処理回路では、入力信号増加時のしきい値と入力信号減少時のしきい値とが異なっているため、第1の容量素子の静電容量値の変化に対応する出力信号の変化が大きくなる。従って、出力信号がヒステリシス特性を有さない信号処理回路により検出される場合と比較して、センサとしての感度特性が向上する。

【0009】また、入力信号にノイズが乗っている場合でも、入力信号増加時のしきい値と入力信号減少時のしきい値とが異なっているため、誤った出力信号が検出されるのが抑制される。これにより、ノイズの影響によるセンサの誤作動を防止することができる。

【0010】また、請求項2の静電容量式センサは、前記基準電極と前記導電性部材との間に、第2の容量素子が構成されていることを特徴としている。

【0011】請求項2によると、第1および第2の容量素子を構成するために共通に用いられる導電性部材が、直接接触することによってではなく、容量結合によって接地または一定の電位に保持された基準電極と電気的に結合される。そのため、センサの耐電圧特性が向上し、スパーク電流が流れることによってセンサが破損することがほとんどなくなるとともに、接続不良などの不具合を防止することができるため、信頼性の高い静電容量式センサを得ることができる。それとともに、第1および第2の容量素子が直列に接続された関係となるので、容量素子用電極および基準電極を支持する基板などの部材だけに配線を設ければ、導電性部材を接地または一定の電位に保持するための配線を別途設ける必要がない。そのため、構造が簡単な静電容量式センサを少ない製造工程数で製造することが可能となる。

【0012】また、請求項3の静電容量式センサは、XYZ三次元座標系を定義したときに、XY平面を規定する基板と、前記基板と対向している検知部材と、前記基板と前記検知部材との間に位置し、前記検知部材がZ軸方向に変位するのにともなってZ軸方向に変位する導電性部材と、前記基板上に形成され、前記導電性部材との間で第1の容量素子を構成する容量素子用電極と、前記基板上に形成され、前記導電性部材との間で第2の容量素子を構成する接地または一定の電位に保持された基準電極とを備え、前記第1の容量素子と前記第2の容量素子とが前記容量素子用電極に対して入力される信号に対して直列に接続された関係となり、前記導電性部材と前記容量素子用電極との間隔の変化に起因する前記第1の容量素子の静電容量値の変化が検出されることに基づいて前記検知部材の変位を認識可能であって、且つ、対となる2つの前記容量素子用電極を有しており、これら一対の容量素子用電極の一方を含む回路および他方を含む回路にそれぞれ入力された信号の出力信号が、ヒステリシス特性を有する信号処理回路により検出されることを特徴としている。

【0013】請求項3によると、請求項1と同様に、出

力信号がヒステリシス特性を有する信号処理回路により検出されるため、ヒステリシス特性を有さない信号処理回路により検出される場合よりも、センサとしての感度特性を向上させることができる。また、請求項2と同様に、信頼性の高い静電容量式センサを得ることができる。

【0014】また、請求項4の静電容量式センサは、前記容量素子用電極が、Y軸に対して線対称に配置された一対の第1の容量素子用電極と、X軸に対して線対称に配置された一対の第2の容量素子用電極と、原点近傍に配置された第3の容量素子用電極を有していることを特徴としている。

【0015】請求項4によると、検知部材が外部から受けた力のX軸方向、Y軸方向およびZ軸方向の方向成分をそれぞれ別々に認識することができる。なお、第3の容量素子用電極は、Z軸方向の成分を認識するために使用しないで、入力の実行操作に使用してもよい。

【0016】また、請求項5の静電容量式センサにおいて、前記信号処理回路は、入力信号増加時のしきい値が入力信号減少時のしきい値よりも大きいものであることを特徴としている。また、請求項6～10の静電容量式センサは、前記信号処理回路が、排他的論理和演算、論理和演算、論理積演算、論理積演算および否定演算のいずれかを行うシュミット・トリガ型論理素子を利用したものであることを特徴としている。また、請求項11の静電容量式センサは、前記信号処理回路が、シュミット・トリガ型バッファ素子を利用したものであることを特徴としている。また、請求項12の静電容量式センサは、前記信号処理回路が、シュミット・トリガ型インバータ素子を利用したものであることを特徴としている。また、請求項13の静電容量式センサは、前記信号処理回路が、ヒステリシスコンパレータを利用したものであることを特徴としている。請求項5～13によると、出力信号を精度よく検出することができ、さらに必要に応じて検出精度または検出感度を調整することができる。

【0017】また、請求項14の静電容量式センサは、前記一対の容量素子用電極の一方を含む回路および他方を含む回路に、互いに位相が異なる信号が供給されることを特徴としている。請求項14によると、一対の容量素子用電極の一方を含む回路および他方を含む回路の時定数が同じものであるかどうかにかかわらず、検知部材の変位を認識することができる。

【0018】また、請求項15の静電容量式センサは、前記一対の容量素子用電極の一方を含むCR回路と他方を含むCR回路との時定数が異なることを特徴としている。請求項15によると、回路を通過することによる信号の位相のずれを大きくできるため、検知部材の変位認識の精度を向上させることができる。

【0019】また、請求項16の静電容量式センサは、前記信号は、ハイレベルとローレベルとを周期的に繰り返す信号であって、前記信号がローレベルである時に前記第1の容量素子を放電させる機能を有する制御素子が備えられていることを特徴としている。また、請求項17の静電容量式センサは、前記制御素子として、オープンコレクタ型のインバータ素子が用いられていることを特徴としている。

【0020】請求項16、17によると、オープンコレクタ型のインバータ素子などの制御素子によって、容量素子に保持された電荷が瞬時に放電されるため、効率よく充電ができるとともに、信号の波形の密度を増加させることができ、信号処理回路の感度を向上させることができる。

【0021】なお、これらの構成の静電容量式センサは、パソコン、携帯電話、ゲームなどの入力装置、力覚センサ、加速度センサまたは圧力センサとして利用されるのに好ましい。

#### 【0022】

【発明の実施の形態】以下、本発明の好適な実施の形態について、図面を参照しつつ説明する。なお、以下で説明する実施の形態は本発明の静電容量式センサを力覚センサとして用いたものである。

【0023】図1は、本発明の実施の形態に係る静電容量式センサの模式的な断面図である。図2は、図1の静電容量式センサの検知部材の上面図である。図3は、図1の静電容量式センサの基板上に形成されている複数の電極の配置を示す図である。

【0024】静電容量式センサ10は、基板20と、人などによって操作されることによって外部から力が加えられる操作部材である検知部材30と、変位電極40と、基板20上に形成された容量素子用電極E1～E5および基準電極（共通電極）E0と、容量素子用電極E1～E5および基準電極E0に密着して基板20上を覆うように形成された絶縁膜50と、検知部材30および変位電極40を基板20に対して支持固定する支持部材60とを有している。

【0025】ここでは、説明の便宜上、図示のとおり、XYZ三次元座標系を定義し、この座標系を参照しながら各部品に配置説明を行うことにする。すなわち、図1では、基板20上の変位電極40の中心位置に対向する位置に原点Oが定義され、右水平方向にX軸が、上垂直方向にZ軸が、紙面に垂直奥行方向にY軸がそれぞれ定義されている。ここで、基板20の表面は、XY平面を規定し、基板20上の容量素子用電極E5、検知部材30および変位電極40のそれぞれの中心位置をZ軸が通ることになる。

【0026】基板20は、一般的な電子回路用のプリント回路基板であり、この例ではガラスエポキシ基板が用いられている。また、基板20として、ポリイミドフィルムなどのフィルム状の基板を用いてもよいが、フィルム状の基板の場合は可撓性を有しているため、十分な剛

性をもった支持基板上に配置して用いるのが好ましい。

【0027】検知部材30は、受力部となる小径の上段部31と、上段部31の下端部に伸延する大径の下段部32とから構成され、全体として円盤状に形成されている。ここで、上段部31の径は、容量素子用電極E1～E4のそれぞれの外側の曲線を結んでできる円の径とほぼ同じか、それより若干小さく、下段部32の径は、基準電極E0の外径とほぼ同じである。なお、操作性を向上させるために、検知部材30に樹脂製のキャップをかぶせてもよい。

【0028】また、検知部材30の上段部31の上面には、図2に示すように、X軸およびY軸のそれぞれの正方向および負方向に対応するように、すなわち、容量素子用電極E1～E4に対応するように、操作方向（カーソルの移動方向）に対応した矢印が形成されている。

【0029】変位電極40は、導電性を有するゴムで形成され、検知部材30の下段部32と同一の径を有する円盤状であり、検知部材30の下面に付着されている。また、変位電極40の下面には、変位電極40の中心位置を中心とする円形で下方に開いた凹部が形成されている。さらに、その凹部の底部には、変位電極40の中心位置を中心とする円形で下方に突出した凸部が形成され、その凸部の中心位置（変位電極40の中心位置）には突起体45が形成されている。このように、変位電極40は、検知部材30の変位にともなって変位する変位部41（変位電極40の下面に形成された凹部底部の凸部）と、最も外周よりの固定部43（変位電極40の下面に形成された凹部以外の部分）と、変位部41と固定部43とを接続する接続部42（変位電極40の下面に形成された凹部底部の凸部以外の部分）とにより形成されている。なお、突起体45は無くてもよいし、変位電極40は、導電性を有する金属によって形成してもよい。

【0030】このように、変位電極40の中心位置に突起体45が形成されているため、検知部材30に力が作用したときに変位電極40が突起体45を支点として傾くことができるようになっている。また、変位電極40は、固定部43の下面および突起体45の下面が基板20上に形成された絶縁膜50に密着するように、支持部材60によって、検知部材30とともに支持固定されている。なお、突起体45は、検知部材30がZ軸方向に強く押された場合には、変位電極40をある程度の力を受けて基板20に接近させる弾性材の機能を有している。

【0031】また、基板20上には、図3に示すように、原点Oを中心とする円形の容量素子用電極E5と、その外側に扇形の容量素子用電極E1～E4と、さらにその外側に原点Oを中心とするリング状の基準電極E0とが形成されている。一対の容量素子用電極E1およびE2は、X軸方向に離隔してY軸に対して線対称に配置

されている。また、一対の容量素子用電極E3およびE4は、Y軸方向に離隔してX軸に対して線対称に配置されている。なお、基準電極E0は、容量素子用電極E5と容量素子用電極E1～E4との間に形成されてもよい。また、容量素子用電極E5を無くし、原点Oを中心とする円形の基準電極E0を形成してもよい。ただし、この場合には、Z軸方向成分は検出できなくなる。

【0032】ここでは、容量素子用電極E1はX軸の正方向に対応するように配置され、一方、容量素子用電極E2はX軸の負方向に対応するように配置され、外部からの力のX軸方向成分の検出に利用される。また、容量素子用電極E3はY軸の正方向に対応するように配置され、一方、容量素子用電極E4はY軸の負方向に対応するように配置され、外部からの力のY軸方向成分の検出に利用される。さらに、容量素子用電極E5は、原点O上に配置されており、外部からの力のZ軸方向成分の検出に利用される。

【0033】また、容量素子用電極E1～E5および基準電極E0は、スルーホールなどを利用して端子T0～T5（図4参照）にそれぞれ接続されており、端子T0～T5を通じて外部の電子回路に接続されるようになっている。なお、ここでは、基準電極E0は、端子T0を介して接地されている。

【0034】また、絶縁膜50が、基板20上の容量素子用電極E1～E5および基準電極E0に密着して、基板20上を覆うように形成されている。このため、銅などで形成された容量素子用電極E1～E5および基準電極E0が空気にさらされることがなく、それらが酸化されるのを防止する機能を有している。また、絶縁膜50が形成されているため、容量素子用電極E1～E5および基準電極E0と、変位電極40とが直接接触することはない。

【0035】したがって、容量素子用電極E1～E5および基準電極E0は、それぞれ変位電極40との間で容量素子を構成する。なお、容量素子用電極E1～E5は、変位電極40の変位部41との間でそれぞれ容量素子C1～C5を構成し、また、基準電極E0は、変位電極40の固定部43との間で容量素子C0を構成する。

【0036】次に、上述のように構成された本実施の形態に係る静電容量式センサ10の動作について、図面を参照して説明する。図4は、図1に示す静電容量式センサの構成に対する等価回路図である。図5は、図1に示す静電容量式センサに入力される周期信号から出力信号を導出する方法を説明するための説明図である。図6は、図1に示す静電容量式センサの検知部材にX軸正方向への操作が施された場合の側面の模式的な断面図である。

【0037】まず、静電容量式センサ10の構成と等価な回路構成について、図4を参照して説明する。基板20上に形成された容量素子用電極E1～E5および基準

電極E 0は、変位電極4 0と対向しており、共通の電極である変位可能な変位電極4 0と、固定された個別の容量素子用電極E 1～E 5および基準電極E 0との間で容量素子C 0～C 5を形成している。容量素子C 1～C 5は、それぞれ変位電極4 0の変位に起因して静電容量値が変化するように構成された可変容量素子であるということができる。

【0038】容量素子C 0～C 5のそれぞれの静電容量値は、変位電極4 0と、容量素子用電極E 1～E 5および基準電極E 0のそれぞれに接続された端子T 0～T 5との間の静電容量値として、それぞれ独立して測定することができる。ここで、基準電極E 0は、端子T 0を介して接地されており、容量素子C 1～C 5における共通の電極である変位電極4 0は、容量素子C 0および端子T 0を介して接地されていると考えられる。すなわち、容量素子C 0は、変位電極4 0と端子T 0とを容量結合している。

【0039】次に、容量素子C 1～C 5のそれぞれの静電容量値の変化から、検知部材3 0への外部からの力の大きさおよび方向を示す出力信号の導出方法について、図5を参照して説明する。ここで、出力信号V<sub>x</sub>、V<sub>y</sub>、V<sub>z</sub>は、それぞれ外部からの力のX軸方向成分、Y軸方向成分およびZ軸方向成分の大きさおよび方向を示す。なお、出力信号V<sub>x</sub>、V<sub>y</sub>、V<sub>z</sub>は、ヒステリシス特性を有する信号処理回路に含まれるシュミット・トリガ型論理素子からそれぞれ出力されることを示すため、論理素子の記号内にはヒステリシス特性をシンボル化したマークが描かれている。

【0040】また、図5に示す容量素子C 6は、常に一定の静電容量値を保つように基板2 0の下面に形成されており、容量素子C 6を構成する一方の電極は出力信号V<sub>z</sub>を導出するC/V変換回路に接続されており、他方の電極は接地されている。この容量素子C 6は、容量素子C 5とともに、外部からの力のZ軸方向成分の出力信号V<sub>z</sub>を導出するために用いられる。なお、容量素子C 6として、I Cの入力容量を利用することもできる。

【0041】ここで、出力信号V<sub>x</sub>、V<sub>y</sub>、V<sub>z</sub>を導出するために、端子T 1～T 6に対して、常にクロック信号などの周期信号が入力される。例えば、端子T 1に入力された周期信号に対して、2つの容量素子C 1とC 0は直列に接続された関係となっている。同様に、2つの容量素子C 2とC 0は端子T 2に入力された周期信号に対して直列に接続された関係となっており、2つの容量素子C 3とC 0は端子T 3に入力された周期信号に対して直列に接続された関係となっており、2つの容量素子C 4とC 0は端子T 4に入力された周期信号に対して直列に接続された関係となっており、2つの容量素子C 5とC 0は端子T 5に入力された周期信号に対して直列に接続された関係となっている。

【0042】端子T 1～T 6に周期信号が入力されてい

る状態で検知部材3 0が外部からの力を受けて変位すると、これにともなって変位電極4 0がZ軸方向に変位し、容量素子C 1～C 5の電極間隔が変化して、容量素子C 1～C 5のそれぞれの静電容量値が変化する。すると、端子T 1～T 6に入力された周期信号の位相にずれが生じる。このように、周期信号に生じる位相のずれを利用して、検知部材3 0の変位、つまり検知部材3 0が外部から受けた力のX軸方向、Y軸方向およびZ軸方向の大きさと方向を示す出力信号V<sub>x</sub>、V<sub>y</sub>、V<sub>z</sub>を得ることができる。

【0043】さらに詳細に説明すると、端子T 1～T 6に対して周期信号を入力するとき、端子T 1、T 3、T 5に対しては周期信号Aが入力され、一方、端子T 2、T 4、T 6に対しては周期信号Aと同一の周期で、かつ、周期信号Aの位相とは異なる周期信号Bが入力される。そのとき、検知部材3 0が外部から力を受けて、容量素子C 1～C 5の静電容量値がそれぞれ変化すると、端子T 1～T 5にそれぞれ入力された周期信号Aまたは周期信号Bの位相にそれぞれ異なった量のずれが生じる。なお、容量素子C 6の静電容量値は変化しないため、端子T 6に入力された周期信号Bの位相にはずれは生じない。

【0044】すなわち、外部からの力にX軸方向成分が含まれる場合は、容量素子C 1の静電容量値が変化し、端子T 1に入力された周期信号Aの位相にずれが生じるとともに、容量素子C 2の静電容量値が変化し、端子T 2に入力された周期信号Bの位相にもずれが生じる。ここで、容量素子C 1、C 2の静電容量値の変化は、それぞれ外部からの力のX軸正方向成分、X軸負方向成分に対応している。したがって、端子T 1に入力された周期信号Aの位相のずれと、端子T 2に入力された周期信号Bの位相のずれとは、互いに逆方向の位相のずれである。このように、端子T 1および端子T 2にそれぞれ入力された周期信号Aおよび周期信号Bの位相のずれを排他和回路で読み取ることによって、出力信号V<sub>x</sub>が導出される。この出力信号V<sub>x</sub>の符号が、外部からの力のX軸方向成分が正方向または負方向の向きかを示し、その絶対値がX軸方向成分の大きさを示す。

【0045】また、外部からの力にY軸方向成分が含まれる場合は、容量素子C 3の静電容量値が変化し、端子T 3に入力された周期信号Aの位相にずれが生じるとともに、容量素子C 4の静電容量値が変化し、端子T 4に入力された周期信号Bの位相にもずれが生じる。ここで、容量素子C 3、C 4の静電容量値の変化は、それぞれ外部からの力のY軸正方向成分、Y軸負方向成分に対応している。したがって、端子T 3に入力された周期信号Aの位相のずれと、端子T 4に入力された周期信号Bの位相のずれとは、互いに逆方向の位相のずれである。このように、端子T 3および端子T 4にそれぞれ入力された周期信号Aおよび周期信号Bの位相のずれを排他和

回路で読み取ることによって、出力信号  $V_y$  が導出される。この出力信号  $V_y$  の符号が、外部からの力の Y 軸方向成分が正方向または負方向の向きかを示し、その絶対値が Y 軸方向成分の大きさを示す。

【0046】さらに、外部からの力に Z 軸方向成分が含まれる場合は、容量素子 C 5 の静電容量値が変化し、端子 T 5 に入力された周期信号 A の位相にずれが生じる。また、容量素子 C 6 の静電容量値は一定に保たれているため、端子 T 6 に入力された周期信号 B の位相にはずれが生じない。したがって、端子 T 5 に入力された周期信号 A にのみ位相のずれが生じ、この周期信号 A の位相のずれを排他和回路で読み取ることによって、出力信号  $V_z$  が導出される。この出力信号  $V_z$  の符号が、外部からの力の Z 軸方向成分が正方向または負方向の向きかを示し、その絶対値が Z 軸方向成分の大きさを示す。

【0047】なお、外部からの力に X 軸方向成分または Y 軸方向成分が含まれる場合において、検知部材 30 に対する力の加わり方によっては、次のような場合が考えられる。例えば、X 軸方向について考えると、変位部 41 の X 軸正方向部分と X 軸負方向部分が、突起体 45 を支点として互いに上下反対方向に変位することなく、X 軸正方向部分および X 軸負方向部分がともに下方へと変位し、かつ、そのときのそれぞれの変位量が異なる場合がある。この場合には、端子 T 1 および T 2 に入力されたそれぞれの周期信号 A および周期信号 B の位相には、同じ方向のずれが生じることとなるが、上述した場合と同様に、その位相のずれを排他和回路で読み取ることによって、出力信号  $V_x$  が導出される。また、このことは、Y 軸方向についての出力信号  $V_y$  の導出に対しても同様のことがいえる。

【0048】次に、図 1 に示す検知部材 30 に力が作用していないときの状態において、図 6 に示すように、検知部材 30 に X 軸正方向への操作が施された場合、すなわち、検知部材 30 の上段部 31 に形成された X 軸正方向に対応するように形成された矢印を基板 20 側に押し下げるような力（Z 軸負方向への力）を加えた場合を考える。

【0049】検知部材 30 の X 軸正方向に対応する部分が押し下げられることにより、変位電極 40 の接続部 42 が弾性変形を生じてたわみ、変位部 41 の X 軸正方向部分は下方へと変位し、やがて変位部 41 の X 軸正方向部分の下面が絶縁膜 50 に接触する位置まで変位する。また、このとき、変位部 41 の X 軸正方向部分と X 軸負方向部分とは、突起体 45 を支点として互いに上下反対方向に変位するようになっている。したがって、変位部 41 の X 軸正方向部分が下方へと変位したときには、変位部 41 の X 軸負方向部分は、突起体 45 を支点として、上方へと変位する。

【0050】また、変位部 41 の Y 軸正方向部分の X 軸正方向側は下方に若干変位し、X 軸負方向側は上方に若

干変位する。同様に、Y 軸負方向部分の X 軸正方向側は下方に若干変位し、X 軸負方向側は上方に若干変位する。また、このとき、変位部 41 の中心位置（Z 軸上）に形成された突起体 45 は、押しつぶされて弾性変形する。

【0051】したがって、変位部 41 の X 軸正方向部分と容量素子用電極 E 1 との間隔は小さくなり、一方、変位部 41 の X 軸負方向部分と容量素子用電極 E 2 との間隔は大きくなる。また、変位部 41 の Y 軸正方向部分と容量素子用電極 E 3 との間隔、および、変位部 41 の Y 軸負方向部分と容量素子用電極 E 4 との間隔は変化しないと考えられる。実際には、上述のように、変位部 41 の Y 軸正方向部分および Y 軸負方向部分のそれぞれ X 軸正方向側は下方に若干変位し、X 軸負方向側は上方に若干変位するが、変位部 41 の Y 軸正方向部分および Y 軸負方向部分全体としての容量素子用電極 E 3 および E 4 との間隔は変化しないと考えられる。また、変位部 41 の Y 軸正方向部分と容量素子用電極 E 3 との間隔、および、変位部 41 の Y 軸負方向部分と容量素子用電極 E 4 との間隔が部分的に異なっても、機械的対称性より、変位部 41 の Y 軸正方向部分と容量素子用電極 E 3 との間に構成される容量素子 C 3 の静電容量値および変位部 41 の Y 軸負方向部分と容量素子用電極 E 4 との間に構成される容量素子 C 4 の静電容量値の変化量は等しいと考えられ、作動原理により出力には現れない。また、変位部 41 の中心位置と容量素子用電極 E 5 との間隔は小さくなる。

【0052】そして、容量素子 C 1～C 5 のなかで、容量素子用電極 E 1～E 5 と変位電極 40 との間の間隔に変化があった容量素子 C 1、C 2、C 5 の静電容量値のみが変化する。ここで、一般的に、容量素子の静電容量値は、容量素子を構成する電極の間隔に反比例することより、容量素子 C 1 の静電容量値は大きくなり、容量素子 C 2 の静電容量値は小さくなる。すなわち、容量素子 C 1～C 4 のそれぞれの静電容量値の大小関係は、以下のようになる。

$$C2 < C3 = C4 < C1$$

なお、容量素子 C 5 の静電容量値は、元の値より大きくなる。

【0053】このとき、端子 T 1 および T 2 に入力されたそれぞれの周期信号 A および周期信号 B の位相にずれが生じ、その位相のずれを読み取ることによって出力信号  $V_x$  が導出される。同様に、端子 T 5 に入力された周期信号 A の位相にずれが生じ、その位相のずれ（実際には、端子 T 6 に入力された周期信号 B の位相とともに）を読み取ることによって出力信号  $V_z$  が導出される。

【0054】次に、端子 T 1～T 6 に入力された周期信号 A、B による出力信号  $V_x$ 、 $V_y$ 、 $V_z$  を導出するための信号処理回路について、図 7 を参照しながら説明する。図 7 は、図 1 に示す静電容量式センサの信号処理回

路を示す回路図である。図8および図9は、図7に示す静電容量式センサの信号処理回路と等価な信号処理回路を示す回路図である。

【0055】上述のように、端子T1～T6には、図示されていない交流信号発振器から所定周波数の周期信号が入力される。これらの端子T1～T6には、インバータ素子I1～I6および抵抗素子R1～R6が、端子T1～T6側からインバータ素子I1～I6、抵抗素子R1～R6の順にそれぞれ接続されている。また、抵抗素子R1、R2の出力端、抵抗素子R3、R4の出力端および抵抗素子R5、R6の出力端には、それぞれシュミット・トリガ型の排他和回路の論理素子であるEX-OR素子101～103が接続されており、その出力端は端子T11～T13に接続されている。また、抵抗素子R1～R5の出力端は、それぞれ容量素子用電極E1～E5に接続され、それぞれ変位電極40との間で容量素子C1～C5を構成している。また、変位電極40は、容量素子C0を介して接地されている。

【0056】また、図7に示すシュミット・トリガ型の排他和回路の論理素子であるEX-OR素子101～103が利用された信号処理回路は、図8に示すシュミット・トリガ型バッファ素子111～116が利用された信号処理回路、または、図9に示すシュミット・トリガ型インバータ素子121～126が利用された信号処理回路に変更することが可能であり、これらは、いずれも等価な信号処理回路である。

【0057】ここから、例として、X軸方向成分の出力信号Vxの導出方法について、図10を参照して説明する。なお、Y軸方向成分の出力信号VyおよびZ軸方向成分の出力信号Vzの導出方法についても同様であるので説明を省略する。図10(a)および図10(b)は、図1に示す静電容量式センサのX軸方向成分についての信号処理回路を示す回路図(図8の一部分)である。なお、図7～図9の信号処理回路を示す回路図はいずれも等価であるため、ここでは図8に基づいて説明する。

【0058】この信号処理回路において、容量素子C1と抵抗素子R1および容量素子C2と抵抗素子R2はそれぞれCR遅延回路を形成している。端子T1、T2に入力された周期信号(矩形波信号)は、それぞれCR遅延回路によって所定の遅延が生じて、シュミット・トリガ型バッファ素子111、112を通過した後、EX-OR素子131において合流する。また、インバータ素子I1、I2として、同一の素子を用いているため、異なる経路の信号を同じ条件で比較することが可能である。ここで、インバータ素子I1、I2は、CR遅延回路を駆動するために十分な駆動電力を発生させる素子であり、論理的には意味のない素子である。したがって、端子T1、T2に対して十分な駆動能力を持った信号を供給することが可能であればこれらのインバータ素子I1、I2はなくてもよい。したがって、図10(b)

は、図10(a)の信号処理回路に含まれるインバータ素子I1、I2を省いたものであるため、回路としては図10(a)と全く等価なものであると考えられる。

【0059】次に、本実施の形態に係る静電容量式センサの信号処理回路について、図面を参照して説明する。図11は、図10に示す信号処理回路と比較するための信号処理回路を示す回路図である。図12は、図10および図11に示す信号処理回路の各端子および各節点における周期信号の波形を示す図である。

10 【0060】図10(b)に示す信号処理回路において、端子T1、T2のそれぞれに周期信号が入力された場合の各端子および各節点における周期信号の波形について、本実施の形態に係る静電容量式センサの信号処理回路として、ヒステリシス特性を有さない信号処理回路(図11参照)が利用された場合における各端子および各節点における周期信号の波形と比較して説明する。

【0061】図10(b)の信号処理回路において、端子T1、T2のそれぞれに入力された周期信号は、CR遅延回路を通過することにより、それぞれ所定の遅延を生じて、シュミット・トリガ型バッファ素子111、112を通過した後、EX-OR素子131に入力される。詳細に説明すると、端子T1には周期信号f( $\phi$ )(上述の周期信号Aに対応しており、以下周期信号Aと称する)が入力され、また、端子T2にはf( $\phi$ )と同一の周期で、かつ、位相が $\theta$ だけずれている周期信号f( $\phi - \theta$ )(上述の周期信号Bに対応しており、以下周期信号Bと称する)が入力される。ここでは、周期信号Aのデューティ比D0は50%であり、周期信号Bは周期信号Aの位相が周期信号Aの周期の1/4だけ遅れている場合について説明する。なお、図12の(a)、

30 (b)は、端子T1、T2に入力される周期信号Aおよび周期信号Bの波形を示している。

【0062】ここで、端子T1、T2にそれぞれ入力される異なる位相の周期信号Aおよび周期信号Bは、1つの交流信号発振器から出力された周期信号を2つの経路に分け、その一方の経路に図示しないCR遅延回路を設け、CR遅延回路を通過する周期信号の位相を遅延させることによって発生させられる。なお、周期信号の位相をずらせる方法は、CR遅延回路を用いる方法に限らず、他のどのような方法であってもよいし、また、2つの交流信号発振器を用いて、それぞれ異なる位相の周期信号Aおよび周期信号Bを発生させ、端子T1、T2のそれぞれに入力してもよい。

40 【0063】図10(b)の信号処理回路において、端子T1、T2に入力される周期信号Aおよび周期信号Bは、容量素子C1および抵抗素子R1で構成される遅延回路または容量素子C2および抵抗素子R2で構成される遅延回路を通過することにより遅延して、それぞれ節点X11、X12に到達する。ここで、検知部材30に外部から力が作用していない(操作が施されていない)

状態における容量素子C1、C2の静電容量値は、検知部材30に外部から力が作用していない状態における変位電極40と容量素子用電極E1、E2との間隔に基づく静電容量値である。なお、図12(c)は、図10(b)に示す信号処理回路の節点X11における電位の変化を示しており、図12(d)は、図10(b)に示す信号処理回路の節点X12における電位の変化を示している。

【0064】端子T1に「Hi」または「Lo」の信号を繰り返す周期信号が入力された場合には、図12

(c)に示すように、「Hi」の信号の入力が開始するとCR遅延回路を構成する容量素子C1に次第に電荷が蓄えられることにより、節点X11における電位は次第に増加し、また、「Lo」の信号の入力が開始するとCR遅延回路を構成する容量素子C1の電荷が次第に放電されることにより節点X11における電位は次第に減少するという変化を繰り返す。同様に、端子T2に「Hi」または「Lo」の信号を繰り返す周期信号が入力された場合には、図12(d)に示すように、節点X12における電位は、節点X11における電位と同様の変化を繰り返す。

【0065】そして、節点X11および節点X12の電位の波形は、シュミット・トリガ型バッファ素子111、112に入力されることにより、図12(e)、(f)に示すような矩形波に変換される。なお、図12(e)は、図10(b)に示す信号処理回路の節点X13における周期信号の波形を示しており、図12(f)は、図10(b)に示す信号処理回路の節点X14における周期信号の波形を示している。

【0066】ここで、シュミット・トリガ型バッファ素子111、112における変換処理について、詳しく説明する。シュミット・トリガ型バッファ素子111、112においては、入力電圧の増加時のスレショルド電圧（以下、ポジティブスレショルド電圧Vpと称する）と、逆に入力電圧の減少時のスレショルド電圧（以下、ネガティブスレショルド電圧Vnと称する）とが異なっており、ポジティブスレショルド電圧Vpとポジティブスレショルド電圧Vpよりも小さい値であるネガティブスレショルド電圧Vnとの2つのスレショルド電圧が設定されている。

【0067】従って、入力電圧が増加しつつポジティブスレショルド電圧Vpよりも大きくなった場合には、出力信号は「Lo」の信号から「Hi」の信号に切り換えられ、一方、入力電圧が減少しつつネガティブスレショルド電圧Vnよりも小さくなった場合に、出力信号は「Hi」の信号から「Lo」の信号に切り換えられる。

【0068】また、入力電圧にノイズが乗っている場合の出力信号について、図13を参照して説明する。図13は、ノイズが乗っている入力電圧と出力信号の関係を示す図である。

【0069】まず、ノイズが乗っている入力電圧が増加する場合には、図13に示すとおり、入力電圧は、時間Taにおいて一旦ポジティブスレショルド電圧Vpより大きくなる。その後、入力電圧は時間Tbでポジティブスレショルド電圧Vpより小さくなり、時間Tcにおいて再度ポジティブスレショルド電圧Vpより大きくなる。ここで、上述したように、時間Taにおいて出力信号が「Lo」の信号から「Hi」の信号に切り換えられる。そして、入力電圧は時間Tbでポジティブスレショルド電圧Vpより小さくなるが、ネガティブスレショルド電圧Vnよりも小さくならないため、出力信号が「Hi」の信号から「Lo」の信号に切り換えられることはない。従って、時間Tb、Tcでは、「Hi」の出力信号が継続される。

【0070】一方、ノイズが乗っている入力電圧が減少する場合には、入力電圧は、時間Tdにおいて一旦ネガティブスレショルド電圧Vnより小さくなる。その後、入力電圧は時間Teでネガティブスレショルド電圧Vnより大きくなり、時間Tfにおいて再度ネガティブスレショルド電圧Vnより小さくなる。ここで、上述したように、時間Tdにおいて出力信号が「Hi」の信号から「Lo」の信号に切り換えられる。そして、入力電圧は時間Teでネガティブスレショルド電圧Vnより大きくなるが、ポジティブスレショルド電圧Vpよりも大きくならないため、出力信号が「Lo」の信号から「Hi」の信号に切り換えられることはない。従って、時間Te、Tfでは、「Lo」の出力信号が継続される。

【0071】このように、入力電圧にノイズが乗っていることによって、入力電圧がポジティブスレショルド電圧Vpおよびネガティブスレショルド電圧Vn付近で変動する場合でも、誤った出力信号を検出することが抑制される。

【0072】なお、シュミット・トリガ型バッファ素子111、112がC-MOS型素子で電源電圧がVccである場合には、通常、ポジティブスレショルド電圧Vpは、 $V_{cc}/2$ とVccとの間の値であり、ネガティブスレショルド電圧Vnは、0と $V_{cc}/2$ との間の値である。一般的なシュミット・トリガ型バッファ素子では、電源電圧Vccが4.5Vの場合には、ポジティブスレショルド電圧Vpが2.7Vであり、ネガティブスレショルド電圧Vnが1.6Vである。なお、後述するように、C-MOS型の論理素子のスレショルド電圧のスレショルド電圧は、 $V_{cc}/2$ 程度であるのが一般的である。

【0073】以上のように、EX-OR素子131には、節点X13における矩形波（図12(e)参照）と、節点X14における矩形波（図12(f)参照）が入力され、これらの信号の間で排他的論理演算が行われ、その結果が端子T11に対して出力される。ここで、端子T11に対して出力される出力信号Vxは、図12(g)に示すように、デューティ比D1を有する矩

形波信号である。

【0074】次に、図6に示すように、検知部材30にX軸正方向への操作が施された場合について考える。このとき、上述したように、検知部材30のX軸正方向に対応する部分が押し下げられることにより、検知部材30のX軸正方向に対応する部分が下方に変位し、検知部材30のX軸負方向に対応する部分が上方に変位することにより、容量素子C1の静電容量値は大きくなり、容量素子C2の静電容量値は小さくなる。これにより、端子T1、T2に入力される周期信号Aおよび周期信号Bの容量素子C1および抵抗素子R1で構成される遅延回路または容量素子C2および抵抗素子R2で構成される遅延回路を通過することによる遅延量が変化することになる。

【0075】図10(b)の信号処理回路において、端子T1、T2に入力される周期信号Aおよび周期信号Bは、容量素子C1、C2の静電容量値は変化した状態において、容量素子C1および抵抗素子R1で構成される遅延回路または容量素子C2および抵抗素子R2で構成される遅延回路を通過することにより遅延して、それぞれ節点X11'、X12'に到達する。なお、図10(b)に示す信号処理回路の節点X11、X12と同位置の節点を、検知部材30にX軸正方向への操作が施された場合には、節点X11'、X12'と示す。ここで、図12(h)は、図10(b)に示す信号処理回路の節点X11'における電位の変化を示しており、図12(i)は、図10(b)に示す信号処理回路の節点X12'における電位の変化を示している。

【0076】ここで、検知部材30にX軸正方向への操作が施された場合においても同様に、節点X11'、X12'における電位の波形が、それぞれシュミット・トリガ型バッファ素子111、112に入力されることにより矩形波に変換される。そして、EX-OR素子131には、その変換された矩形波が入力され、これらの信号の間で排他的論理演算が行われ、その結果が端子T11に対して出力される。ここで、端子T11に対して出力される出力信号Vxは、図12(j)に示すように、デューティ比D2を有する矩形波信号である。

【0077】次に、本実施の形態に係る静電容量式センサ10の信号処理回路として、ヒステリシス特性を有さない信号処理回路、すなわち、図11に示すように、図10(b)に示す信号処理回路からシュミット・トリガ型バッファ素子111、112が取り外した信号処理回路が利用された場合における各端子および各節点における周期信号の波形について説明する。

【0078】ここで、図11に示す信号処理回路において利用されるC-MOS型の論理素子であるEX-OR素子131の場合には、シュミット・トリガ型バッファ素子111、112に2つの異なるスレショルド電圧が設定されているのに対して、スレショルド電圧は1つだ

け設定されている。そして、入力電圧がスレショルド電圧よりも大きくなった場合には、出力信号は「Lo」の信号から「Hi」の信号に切り換えられ、一方、入力電圧がスレショルド電圧よりも小さくなった場合に、出力信号は「Hi」の信号から「Lo」の信号に切り換えられることにより、矩形波信号に変換される。なお、C-MOS型の論理素子の場合の場合には、電源電圧がVccである場合、スレショルド電圧はVcc/2程度に設定されていることが多い。

10 【0079】図11に示す信号処理回路において、端子T1、T2に入力される周期信号Aおよび周期信号Bは、検知部材30に外部から力が作用していない（操作が施されていない）状態において、容量素子C1および抵抗素子R1で構成される遅延回路または容量素子C2および抵抗素子R2で構成される遅延回路を通過することにより遅延して、それぞれ節点X21、X22に到達する。なお、このときの図11に示す信号処理回路の節点X21、X22における電位の変化は、図12(c)、(d)と同様である。

20 【0080】従って、EX-OR素子131には、節点X21、X22における電位の波形が入力される。そして、節点X21、X22における電位の波形は、上述のように矩形波に変換された後、これらの信号の間で排他的論理演算が行われ、その結果が端子T11に対して出力される。ここで、端子T11に対して出力される出力信号Vxは、図12(k)に示すように、デューティ比D3を有する矩形波信号である。

30 【0081】次に、図6に示すように、検知部材30にX軸正方向への操作が施された場合について考える。このとき、上述したのと同様に、容量素子C1、C2の静電容量値が変化する。

40 【0082】図11に示す信号処理回路において、端子T1、T2に入力される周期信号Aおよび周期信号Bは、容量素子C1、C2の静電容量値は変化した状態において、容量素子C1および抵抗素子R1で構成される遅延回路または容量素子C2および抵抗素子R2で構成される遅延回路を通過することにより遅延して、それぞれ節点X21'、X22'に到達する。なお、図11に示す信号処理回路の節点X21、X22と同位置の節点を、検知部材30にX軸正方向への操作が施された場合には、節点X21'、X22'と示す。

【0083】従って、このとき、EX-OR素子131には、節点X11'、X12'における波形が入力され、矩形波に変換された後、これらの信号の間で排他的論理演算が行われ、その結果が端子T11に対して出力される。ここで、端子T11に対して出力される出力信号Vxは、図12(l)に示すように、デューティ比D4を有する矩形波信号である。

50 【0084】このように、本実施の形態に係る静電容量式センサ10の信号処理回路として、ヒステリシス特性

を有する信号処理回路(図10(b)参照)が利用された場合には、検知部材30に外部から力が作用していない状態から検知部材30にX軸正方向への操作が施されることにより、端子T11に対して出力される出力信号Vxのデューティ比は、D1からD2に変化する。一方、ヒステリシス特性を有さない信号処理回路(図11参照)が利用された場合には、検知部材30に外部から力が作用していない状態から検知部材30にX軸正方向への操作が施されることにより、端子T11に対して出力される出力信号Vxのデューティ比は、D3からD4

に変化する。  
【0085】つまり、図12(g)の矩形波信号のデューティ比D1と図12(j)の矩形波信号のデューティ比D2との間の変化量の方が、図12(k)の矩形波信号のデューティ比D3と図12(l)の矩形波信号のデューティ比D4との間の変化量よりも大きくなる。ここで、端子T11に対して出力される出力信号Vxは、アナログ電圧に変換して利用されることが多い。従って、出力信号Vxがアナログ電圧に変換された場合には、2つの矩形波信号間のデューティ比の変化量は積算されることになる。これにより、デューティ比の変化量が大きいヒステリシス特性を有する信号処理回路(図10

(b)参照)が利用された場合の方が、ヒステリシス特性を有さない信号処理回路(図11参照)が利用された場合よりも、センサとしての感度特性を向上させることができる。

【0086】以上のように、本実施の形態の静電容量式センサ10は、信号処理回路として、ヒステリシス特性を有する信号処理回路が利用されているため、入力電圧の増加時のポジティブスレショルド電圧Vpと入力電圧の減少時のネガティブスレショルド電圧Vnとが異なっている。従って、ヒステリシス特性を有する信号処理回路により検出される場合の出力信号のデューティ比の変化量は、ヒステリシス特性を有さない信号処理回路により検出される場合の出力信号のデューティ比の変化量よりも大きくなる。これにより、センサとしての感度特性が向上する。

【0087】また、入力される周期信号にノイズが乗っている場合でも、入力電圧の増加時のしきい値と入力電圧の減少時のしきい値とが異なっているため、誤った出力信号が検出されるのが抑制される。これにより、ノイズの影響によるセンサの誤作動を防止することができる。

【0088】複数の容量素子C0~C5を構成するために共通に用いられる変位電極40が、接地または一定の電位に保持された基準電極E0と容量結合を介して電気的に結合されるため、直接基準電極E0と接触することによって電氣的に接続される必要がなくなる。これにより、センサの耐電圧特性が向上し、スパーク電流が流れることによって破損することがほとんどなくなるとも

に、接続不良などの不具合を防止することができるため、信頼性の高い静電容量式センサを得ることができる。また、周期信号に対して容量素子C1、C0; C2、C0; …; C5、C0がそれぞれ直列に接続された関係となっているので、容量素子用電極および基準電極を支持する基板20だけに配線を設ければ、変位電極40を接地または一定の電位に保持するために配線を設ける必要がなくなる。そのため、構造が簡単な静電容量式センサを少ない製造工程数で製造することが可能となる。

【0089】また、複数の容量素子用電極E1~E5が形成され、検知部材30が外部から受けた力のX軸方向、Y軸方向およびZ軸方向の方向成分をそれぞれ別々に認識することができる。ここで、対となる容量素子用電極(E1およびE2、E3およびE4)に対して、互いに位相が異なる信号が供給されるため、回路を通過することによる信号の位相のずれを大きくでき、さらに、その信号を論理素子を利用した信号処理回路を用いるため、精度よく検出することができる。

【0090】次に、本発明の実施の形態の第1の変形例について、図面を参照しつつ説明する。図14は、第1の変形例に係る静電容量式センサの基板上に形成されている複数の電極の配置を示す図である。

【0091】第1の変形例に係る静電容量式センサは、図1の静電容量式センサにおける基板20上の基準電極E0の構成を変更し、図14に示すように、基準電極E01~E04が形成されたものである。なお、その他の構成は、図1の静電容量式センサと同一であるので、同一符号を付して説明を省略する。

【0092】基板20上には、図14に示すように、原点Oを中心とする円形の容量素子用電極E5と、その外側に扇形の容量素子用電極E1~E4と、さらにその外側に扇形の基準電極E01~E04とが形成されている。ここで、容量素子用電極E1と基準電極E01、容量素子用電極E2と基準電極E02、容量素子用電極E3と基準電極E03および容量素子用電極E4と基準電極E04のそれぞれの扇形の中心角は同一であり、それぞれの中心位置が一致するように形成されている。

【0093】図15は、第1の変形例に係る静電容量式センサのX軸方向成分についての信号処理回路を示す回路図である。図15の信号処理回路が、図1の静電容量式センサの信号処理回路と異なる点は、基板20上の基準電極E01、E02が、容量素子用電極E1、E2のそれぞれに対して別々に分割されて形成されている点である。このため、変位電極40は容量素子C01、C02を介してそれぞれ別々接地されている。なお、このことはY軸方向成分の検出に関しても同様である。

【0094】このように、基準電極E01~E04を複数の分割して形成すると、基準電極E01~E04に囲まれるように配置された容量素子用電極E1~E4があ

る場合でも、基準電極E01～E04どうしの間隙を通して容量素子用電極の配線を容易に設けることができる。なお、この変形例では、基準電極が4つに分割されているが、基準電極の分割数量、形状および配置はどのようなものであってもよく、基板上の配線の配置を考慮して適宜変更することが可能である。

【0095】次に、本発明の実施の形態の第2の変形例について、図面を参照しつつ説明する。図16は、第2の変形例に係る静電容量式センサのX軸方向成分についての信号処理回路を示す回路図である。図16の信号処理回路が、図1の静電容量式センサの信号処理回路と異なる点は、端子T1と抵抗素子R1および容量素子C1との間にオープンコレクタ型のインバータ素子91が配置され、同様に端子T2と抵抗素子R2および容量素子C2との間にオープンコレクタ型のインバータ素子92が配置されており、また、抵抗素子R1、R2の端子T1、T2に接続されている方と反対側の電位が一定の電位Vccに保持されている点である。なお、その他の構成は、図1の静電容量式センサと同一であるので、同一符号を付して説明を省略する。オープンコレクタ型のインバータ素子91、92は、容量素子用電極に対して入力されるハイレベルとローレベルとを周期的に繰り返す信号がハイレベルであるときにはEX-OR素子の入力端の状態に影響を与えないが、ローレベルである時には容量素子を放電させる機能を有する制御素子である。

【0096】ここで、端子T1、T2に、周期信号を入力した場合の図10(b)に示す信号処理回路の節点X11、X12および図16に示す信号処理回路の節点X31、X32における電位の変化について、図17を参照して説明する。なお、ここでは、節点X11と節点X31における電位の変化についてのみ説明する。

【0097】図17に示すように、「Hi」または「Lo」の信号を繰り返す周期信号が端子T1に入力された場合を考えると、「Hi」の信号の入力が開始するとCR遅延回路を構成する容量素子C1に次第に電荷が蓄えられることにより、節点X11における電位は次第に増加し、また、「Lo」の信号の入力が開始するとCR遅延回路を構成する容量素子C1の電荷が次第に放電されることにより節点X1における電位は次第に減少するという変化を繰り返す。一方、節点X31における電位は、「Hi」の信号の入力が開始するとCR遅延回路を構成する容量素子C1に次第に電荷が蓄えられることにより次第に増加し、また、「Lo」の信号の入力が開始するとCR遅延回路を構成する容量素子C1の電荷がオープンコレクタ型のインバータ素子91を介して瞬時に放電されることにより瞬時に減少するという変化を繰り返す。

【0098】このような構成にして、端子T1に入力される周期信号のデューティ比を大きくすると、各容量素子に保持された電荷が瞬時に放電されるため、効率よく

充電ができるとともに、図16の信号処理回路の方が図10(b)の信号処理回路よりも周期信号の周期を小さくして波形の密度を増加させることができ、信号処理回路の感度を向上させることができる。

【0099】次に、本発明の実施の形態の第3の変形例について、図面を参照しつつ説明する。図18は、第3の変形例に係る静電容量式センサのX軸方向成分についての信号処理回路を示す回路図である。図18の信号処理回路が、図1の静電容量式センサの信号処理回路と異なる点は、論理素子として、EX-OR素子の代わりにOR素子が用いられている点である。なお、その他の構成は、図1の静電容量式センサと同一であるので、同一符号を付して説明を省略する。

【0100】図18において、端子T1に入力された周期信号Aには、容量素子C1と抵抗素子R1により構成されるCR遅延回路を通過して、節点X11に到達する。このとき、節点X11における周期信号には、図12に示すように、所定の遅延が生じている。同様に、端子T12に入力された周期信号Bは、容量素子C2と抵抗素子R2により構成されるCR遅延回路を通過して、節点X12に到達する。このとき、節点X12における周期信号には、所定の遅延が生じている。したがって、図10(b)と同様に、OR素子134には、節点X11、X12における周期信号がシュミット・トリガ型バッファ素子111、112を通過することにより変換された信号が入力され、これらの信号の間で論理和演算が行われ、その結果が端子T11に対して出力される。このとき、端子11に対して出力される信号は、所定のデューティ比をもった矩形波信号である。

【0101】ここで、OR素子134が用いられた場合に端子11に対して出力される矩形波信号と検知部材30に操作が施されていないときに端子11に対して出力される矩形波信号との間のデューティ比の変化量は、EX-OR素子131が用いられた場合に端子11に対して出力される矩形波信号のそれと比較して小さくなる。このため、静電容量式センサとしての感度特性が低下すると考えられる。

【0102】したがって、静電容量式センサの各部材が感度特性が非常によくある材料で製作された場合に、信号処理回路の構成によって、静電容量式センサの感度特性を調節する（ここでは、感度特性を低下させる）ために用いるのに好ましい。

【0103】次に、本発明の実施の形態の第4の変形例について、図面を参照しつつ説明する。図19は、第4の変形例に係る静電容量式センサのX軸方向成分についての信号処理回路を示す回路図である。図19の信号処理回路が、図1の静電容量式センサの信号処理回路と異なる点は、論理素子として、EX-OR素子の代わりにAND素子が用いられている点である。なお、その他の構成は、図1の静電容量式センサと同一であるので、同

一符号を付して説明を省略する。

【0104】図18において、端子T1に入力された周期信号Aには、容量素子C1と抵抗素子R1により構成されるCR遅延回路を通過して、節点X11に到達する。このとき、節点X11における周期信号には、図12に示すように、所定の遅延が生じている。同様に、端子T12に入力された周期信号Bは、容量素子C2と抵抗素子R2により構成されるCR遅延回路を通過して、節点X12に到達する。このとき、節点X12における周期信号には、所定の遅延が生じている。したがって、図10(b)と同様に、AND素子135には、節点X11、X12における周期信号がシュミット・トリガ型バッファ素子111、112を通過することにより変換された信号が入力され、これらの信号の間で論理積演算が行われ、その結果が端子T11に対して出力される。このとき、端子11に対して出力される信号は、所定のデューティ比をもった矩形波信号である。

【0105】ここで、AND素子135が用いられた場合に端子11に対して出力される矩形波信号と検知部材30に操作が施されていないときに端子11に対して出力される矩形波信号との間のデューティ比の変化量は、EX-OR素子131が用いられた場合に端子11に対して出力される矩形波信号のそれと比較して小さくなる。このため、静電容量式センサとしての感度特性が低下すると考えられる。

【0106】したがって、静電容量式センサの各部材が、静電容量式センサとしたときの感度特性が非常によくなくなる材料で製作された場合に、信号処理回路の構成によって、静電容量式センサの感度特性を調節する（ここでは、感度特性を低下させる）ために用いるのが好ましい。

【0107】次に、本発明の実施の形態の第5の変形例について、図面を参照しつつ説明する。図20は、第5の変形例に係る静電容量式センサのX軸方向成分についての信号処理回路を示す回路図である。図20の信号処理回路が、図1の静電容量式センサの信号処理回路と異なる点は、論理素子として、EX-OR素子の代わりにNAND素子が用いられている点である。なお、その他の構成は、図1の静電容量式センサと同一であるので、同一符号を付して説明を省略する。

【0108】図20において、端子T1に入力された周期信号Aには、容量素子C1と抵抗素子R1により構成されるCR遅延回路を通過して、節点X11に到達する。このとき、節点X11における周期信号には、図12に示すように、所定の遅延が生じている。同様に、端子T12に入力された周期信号Bは、容量素子C2と抵抗素子R2により構成されるCR遅延回路を通過して、節点X12に到達する。このとき、節点X12における周期信号には、所定の遅延が生じている。したがって、図10(b)と同様に、NAND素子136には、節点X

11、X12における周期信号がシュミット・トリガ型バッファ素子111、112を通過することにより変換された信号が入力され、これらの信号の間で論理積演算が行われた後、引き続き否定演算が行われ、その結果が端子T11に対して出力される。このとき、端子11に対して出力される信号は、所定のデューティ比をもった矩形波信号である。

【0109】ここで、NAND素子136が用いられた場合に端子11に対して出力される矩形波信号と検知部材30に操作が施されていないときに端子11に対して出力される矩形波信号との間のデューティ比の変化量は、EX-OR素子131が用いられた場合に端子11に対して出力される矩形波信号のそれと比較して小さくなる。このため、静電容量式センサとしての感度特性が低下すると考えられる。

【0110】したがって、静電容量式センサの各部材が、静電容量式センサとしたときの感度特性が非常によくなくなる材料で製作された場合に、信号処理回路の構成によって、静電容量式センサの感度特性を調節する（ここでは、感度特性を低下させる）ために用いるのが好ましい。

【0111】次に、本発明の実施の形態の第6の変形例について、図面を参照しつつ説明する。図21は、第6の変形例に係る静電容量式センサのX軸方向成分についての信号処理回路を示す回路図である。図21の信号処理回路が、図1の静電容量式センサの信号処理回路と異なる点は、シュミット・トリガ型バッファ素子111、112の代わりにヒステリシスコンパレータ141、142が用いられている点である。なお、その他の構成は、図1の静電容量式センサと同一であるので、同一符号を付して説明を省略する。

【0112】ヒステリシスコンパレータ141、142は、それぞれコンパレータ141a、142aと、可変抵抗器Rf1、Rf2と、基準電圧141b、142bと、抵抗素子Rc1、Rc2とにより構成されている。また、コンパレータ141a、142aの出力端には、それぞれ抵抗素子（プルアップ抵抗）Rp1、Rp2が接続されており、抵抗素子Rp1、Rp2のコンパレータ141a、142aの出力端と反対側の電位は、一定の電位Vccに保持されている。

【0113】コンパレータ141aの一方の入力端子には抵抗素子Rc1の出力端が接続されており、他方の入力端子には基準電圧141bが接続されている。従って、コンパレータ141aと基準電圧141bとの間の節点X141は、所定の電位に維持されている。コンパレータ141aの出力端は、EX-OR素子131の入力端に接続されている。また、コンパレータ141aの一方の入力端と抵抗素子Rc1の出力端との間の節点と、コンパレータ141aの出力端とEX-OR素子131との間の節点とは、可変抵抗器Rf1を介して接続

されている。また、コンパレータ141aの出力端とEX-OR素子131との間の節点は、抵抗素子R<sub>p1</sub>が接続されており、コンパレータ141aからの出力はプルアップされている。なお、ヒステリシスコンパレータ142の構成は、ヒステリシスコンパレータ141の構成と同様であるので説明は省略する。

【0114】ここで、ヒステリシスコンパレータ141において、電源電圧V<sub>cc</sub>と、ポジティブスレショルド電圧V<sub>p</sub>と、ネガティブスレショルド電圧V<sub>n</sub>と、ヒステリシス電圧（V<sub>p</sub>とV<sub>n</sub>との電圧差）V<sub>ht</sub>との間には、次のような関係がある。ここで、ヒステリシスコンパレータ141に含まれる可変抵抗器R<sub>f1</sub>の抵抗値をR<sub>f</sub>、抵抗素子R<sub>c1</sub>の抵抗値をR<sub>c</sub>とし、基準電圧141bの電圧値をV<sub>ref</sub>とする。なお、ヒステリシスコンパレータ142についても、同様の関係がある。

◎

【式1】

$$V_o = \frac{V_{ref}(R_c + R_f)}{R_f}$$

◎

【式2】

$$V_n = \frac{V_{ref}(R_c + R_f) - V_{cc}R_c}{R_f}$$

◎

【式3】

$$V_{ht} = V_{cc} \frac{R_c}{R_f}$$

【0115】例えば、ヒステリシスコンパレータ141において、電源電圧V<sub>cc</sub>が5V、基準電圧141bの電圧が2.5V、抵抗素子R<sub>c1</sub>の抵抗値R<sub>c</sub>が10kΩ、可変抵抗器R<sub>f1</sub>の抵抗値R<sub>f</sub>が100kΩである場合には、ポジティブスレショルド電圧V<sub>p</sub>は2.75V、ネガティブスレショルド電圧V<sub>n</sub>は2.25V、ヒステリシス電圧V<sub>ht</sub>は0.5Vとなる。

【0116】ここで、ヒステリシスコンパレータ141、142に入力電圧に対しては、シュミット・トリガ型バッファ素子111、112に入力電圧に対して行われるのと同様の変換処理が行われる。つまり、入力電圧が増加しつつポジティブスレショルド電圧V<sub>p</sub>よりも大きくなった場合には、出力信号は「L<sub>o</sub>」の信号から「H<sub>i</sub>」の信号に切り換えられ、一方、入力電圧が減少しつつネガティブスレショルド電圧V<sub>n</sub>よりも小さくなった場合に、出力信号は「H<sub>i</sub>」の信号から「L<sub>o</sub>」の信号に切り換えられる。

【0117】図21において、端子T1に入力された周期信号Aには、容量素子C1と抵抗素子R1により構成されるCR遅延回路を通過して、節点X11に到達す

る。このとき、節点X11における周期信号には、図12に示すように、所定の遅延が生じている。同様に、端子T12に入力された周期信号Bは、容量素子C2と抵抗素子R2により構成されるCR遅延回路を通過して、節点X12に到達する。このとき、節点12における周期信号には、所定の遅延が生じている。したがって、図10(b)と同様に、EX-OR素子131には、節点X11、X12における周期信号がヒステリシスコンパレータ141、142を通過することにより変換された矩形波信号が入力され、これらの信号の間で排他的論理和演算が行われ、その結果が端子T11に対して出力される。このとき、端子11に対して出力される信号は、所定のデューティ比をもった矩形波信号である。

【0118】このように、本実施の形態の静電容量式センサ10の信号処理回路にヒステリシス特性を持たせるために、シュミット・トリガ型バッファ素子を利用する代わりに、ヒステリシスコンパレータを利用することができる。そして、ヒステリシスコンパレータでは、それを構成する可変抵抗器（図21におけるR<sub>f1</sub>およびR<sub>f2</sub>）の抵抗値を変更することにより、ポジティブスレショルド電圧V<sub>p</sub>とネガティブスレショルド電圧V<sub>n</sub>との電位差であるヒステリシス電圧V<sub>ht</sub>を任意に変更することができる。したがって、静電容量式センサの感度特性を信号処理回路の構成によって容易に調節することが可能となる。

【0119】次に、本発明の実施の形態の第7の変形例について、図面を参照しつつ説明する。図22は、第7の変形例に係る静電容量式センサのX軸方向成分についての信号処理回路を示す回路図である。図22の信号処理回路が、図1の静電容量式センサの信号処理回路と異なる点は、容量素子C1、C2の一方の電極である変位電極40が容量素子C0を介することなく直接接地されている点である。なお、その他の構成は、図1の静電容量式センサと同一であるので、同一符号を付して説明を省略する。

【0120】変位電極40は、別途設けられた配線によって接地されており、基板20上に基準電極E0を形成する必要がなくなる。従って、基板20上において容量素子用電極の配線を容易に設けることができるようになる。

【0121】なお、本発明の好適な実施の形態について説明したが、本発明は上述の実施の形態に限られるものではなく、特許請求の範囲に記載した限りにおいて、様々な設計変更を行うことが可能なものである。例えば、上述の実施の形態では、静電容量式センサの信号処理回路として、シュミット・トリガ型論理素子、シュミット・トリガ型バッファ素子、シュミット・トリガ型インバータ素子またはヒステリシスコンパレータを利用することによりヒステリシス特性を有する信号処理回路が用いられる場合について説明しているが、これに限らず、本

実施の形態と同様のヒステリシス特性を有する信号処理回路であれば、どのような構成のものであってもよい。

【0122】また、上述の実施の形態では、固定された容量素子用電極に対して変位電極が変位することにより、容量素子用電極と変位電極との間で構成される容量素子の静電容量値が変化する場合について説明しているが、これに限らず、例えば、容量素子用電極および導電性部材が固定されて、その間を絶縁性部材が移動することによって容量素子用電極と導電性部材との間で構成される容量素子の静電容量値が変化する場合など、容量素子の静電容量値を変化させるための構成はどのようなものであってもよい。

【0123】また、上述の実施の形態では、X軸方向、Y軸方向、Z軸方向の3方向に対応する容量素子用電極が形成されているが、用途に合わせて必要な方向の成分だけを検出できるように容量素子用電極を形成してもよい。

#### 【0124】

【発明の効果】以上説明したように、請求項1によると、ヒステリシス特性を有する信号処理回路では、入力信号増加時のしきい値と入力信号減少時のしきい値とが異なっているため、第1の容量素子の静電容量値の変化に対応する出力信号の変化が大きくなる。従って、出力信号がヒステリシス特性を有さない信号処理回路により検出される場合と比較して、センサとしての感度特性が向上する。また、入力信号にノイズが乗っている場合でも、入力信号増加時のしきい値と入力信号減少時のしきい値とが異なっているため、誤った出力信号が検出されるのが抑制される。これにより、ノイズの影響によるセンサの誤作動を防止することができる。

【0125】請求項2によると、第1および第2の容量素子を構成するために共通に用いられる導電性部材が、直接接合することによってではなく、容量結合によって接地または一定の電位に保持された基準電極と電気的に結合される。そのため、センサの耐電圧特性が向上し、スパーク電流が流れることによってセンサが破損することがほとんどなくなるとともに、接続不良などの不具合を防止することができるため、信頼性の高い静電容量式センサを得ることができる。それとともに、第1および第2の容量素子が直列に接続された関係となるので、容量素子用電極および基準電極を支持する基板などの部材だけに配線を設ければ、導電性部材を接地または一定の電位に保持するための配線を別途設ける必要がない。そのため、構造が簡単な静電容量式センサを少ない製造工程数で製造することが可能となる。

【0126】請求項3によると、請求項1と同様に、出力信号がヒステリシス特性を有する信号処理回路により検出されるため、ヒステリシス特性を有さない信号処理回路により検出される場合よりも、センサとしての感度特性を向上させることができる。また、請求項2と同様

に、信頼性の高い静電容量式センサを得ることができる。

【0127】請求項4によると、検知部材が外部から受けた力のX軸方向、Y軸方向およびZ軸方向の方向成分をそれぞれ別々に認識することができる。なお、第3の容量素子用電極は、Z軸方向の成分を認識するために使用しないで、入力の設定操作に使用してもよい。

【0128】請求項5～13によると、出力信号を精度よく検出することができ、さらに必要に応じて検出精度または検出感度を調整することができる。

【0129】請求項14によると、一対の容量素子用電極の一方を含む回路および他方を含む回路の時定数が同じものであるかどうかにかかわらず、検知部材の変位を認識することができる。

【0130】請求項15によると、回路を通過することによる信号の位相のずれを大きくできるため、検知部材の変位認識の精度を向上させることができる。

【0131】請求項16、17によると、オープンコレクタ型のインバータ素子などの制御素子によって、容量素子に保持された電荷が瞬時に放電されるため、効率よく充電ができるとともに、信号の波形の密度を増加させることができ、信号処理回路の感度を向上させることができる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態に係る静電容量式センサの模式的な断面図である。

【図2】図1の静電容量式センサの検知部材の上面図である。

【図3】図1の静電容量式センサの基板上に形成されている複数の電極の配置を示す図である。

【図4】図1に示す静電容量式センサの構成に対する等価回路図である。

【図5】図1に示す静電容量式センサに入力される周期信号から出力信号を導出する方法を説明するための説明図である。

【図6】図1に示す静電容量式センサの検知部材にX軸正方向への操作が施された場合の側面の模式的な断面図である。

【図7】図1に示す静電容量式センサの信号処理回路を示す回路図である。

【図8】図7に示す静電容量式センサの信号処理回路に対する等価回路図である。

【図9】図7に示す静電容量式センサの信号処理回路に対する等価回路図である。

【図10】図1に示す静電容量式センサのX軸方向成分についての信号処理回路を示す回路図である。

【図11】図10に示す信号処理回路と比較するための信号処理回路を示す回路図である。

【図12】図1に示す信号処理回路の各端子および各節点における周期信号の波形を示す図である。

【図13】ノイズが乗っている入力電圧と出力信号の関係を示す図である。

【図14】図1の静電容量式センサの第1の変形例の基板上に形成されている複数の電極の配置を示す図である。

【図15】図1に示す静電容量式センサの第1の変形例のX軸方向成分についての信号処理回路を示す回路図である。

【図16】図1に示す静電容量式センサの第2の変形例のX軸方向成分についての信号処理回路を示す回路図である。

【図17】図1に示す信号処理回路および図16に示す信号処理回路の端子および各節点における周期信号の波形を示す図である。

【図18】図1に示す静電容量式センサの第3の変形例のX軸方向成分についての信号処理回路を示す回路図である。

【図19】図1に示す静電容量式センサの第4の変形例のX軸方向成分についての信号処理回路を示す回路図である。

【図20】図1に示す静電容量式センサの第5の変形例のX軸方向成分についての信号処理回路を示す回路図で

ある。

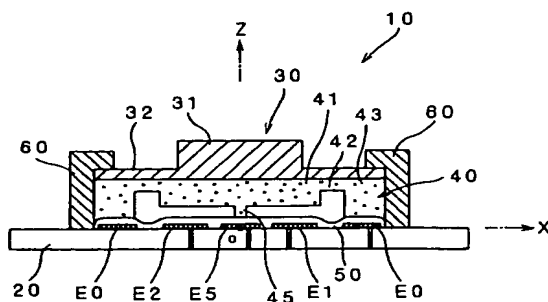
【図21】図1に示す静電容量式センサの第6の変形例のX軸方向成分についての信号処理回路を示す回路図である。

【図22】図1に示す静電容量式センサの第7の変形例のX軸方向成分についての信号処理回路を示す回路図である。

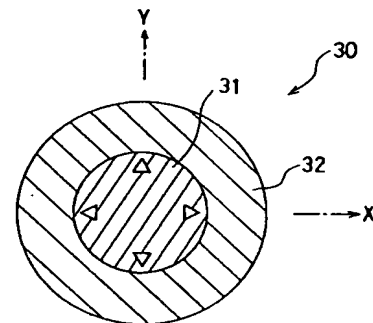
#### 【符号の説明】

- 10 力覚センサ（静電容量式センサ）
- 20 基板
- 30 検知部材
- 40 変位電極（導電性部材）
- 101～103 シュミット・トリガ型論理素子
- 111～113 シュミット・トリガ型バッファ素子
- 121～123 シュミット・トリガ型インバータ素子
- 131～133 EX-OR素子
- 134 OR素子
- 135 AND素子
- 136 NAND素子
- 20 141、142 ヒステリシスコンパレータ
- E1～E5 容量素子用電極
- E0 基準電極

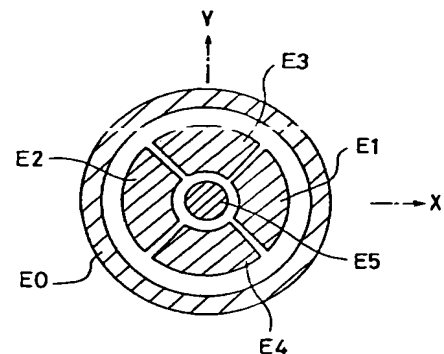
【図1】



【図2】

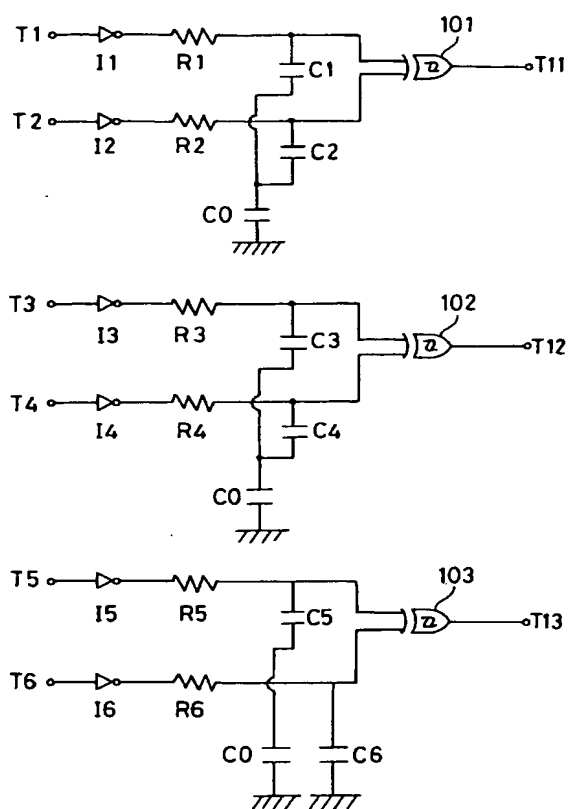


【図3】

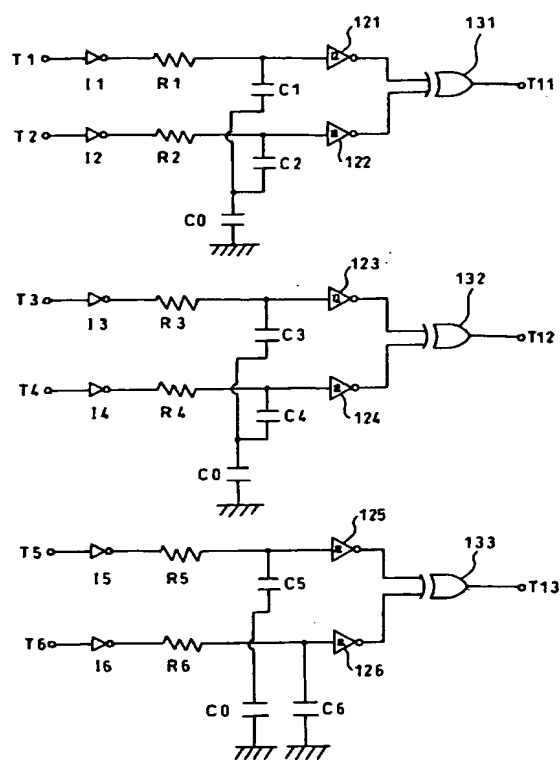




【図7】



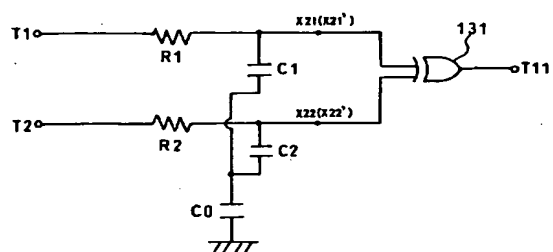
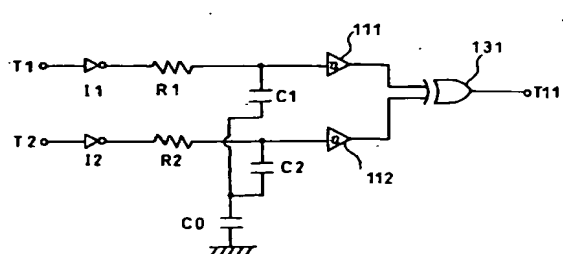
【図9】



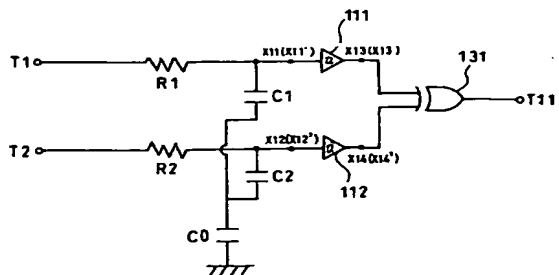
【図11】

【図10】

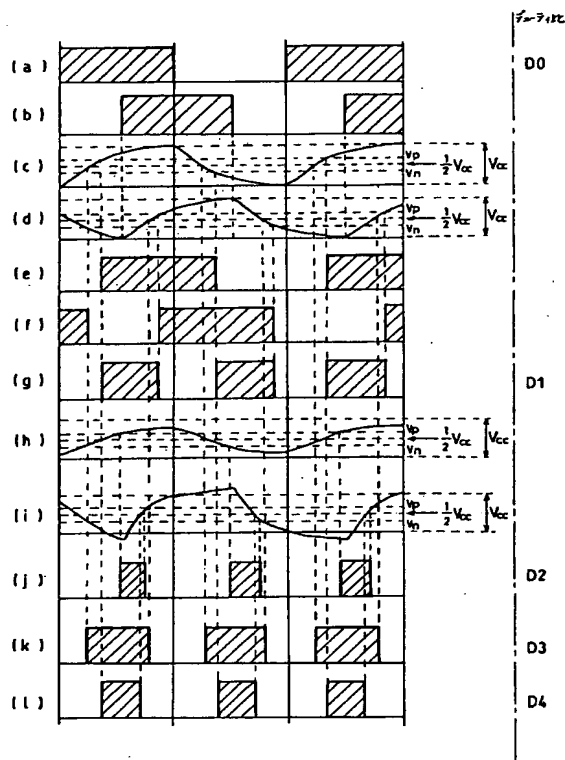
(a)



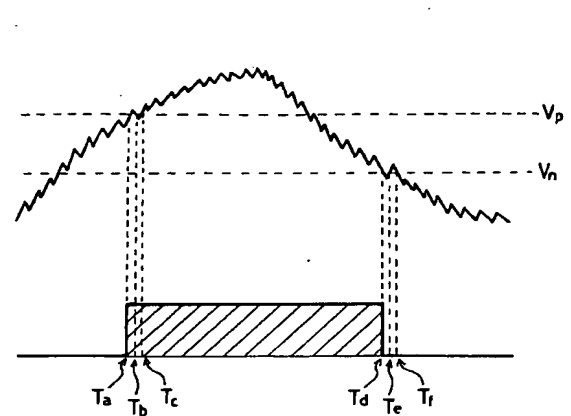
(b)



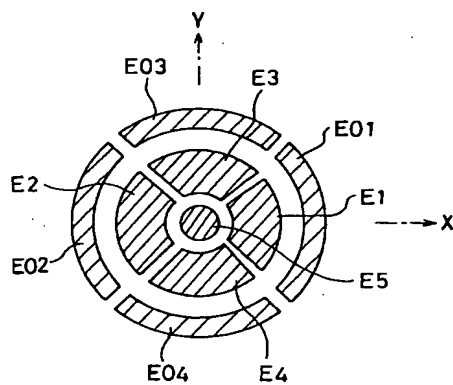
【図12】



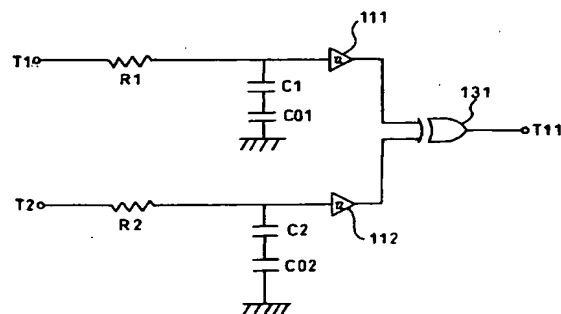
【図13】



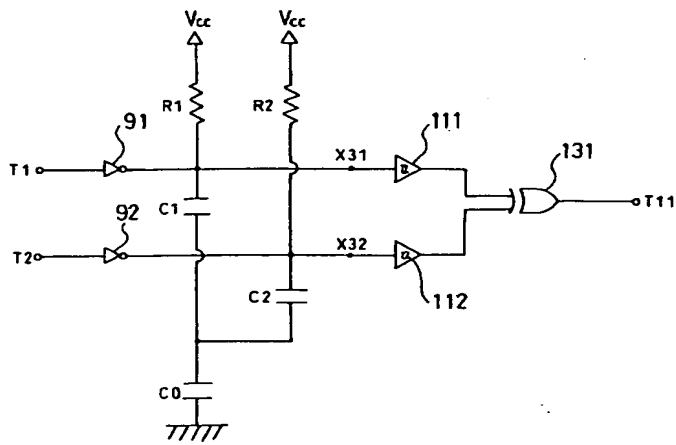
【図14】



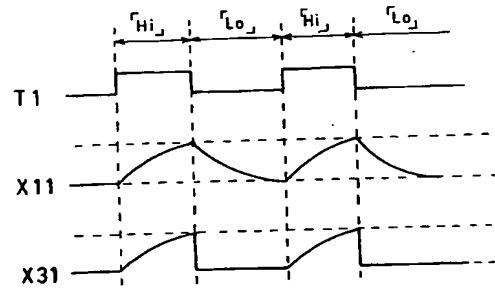
【図15】



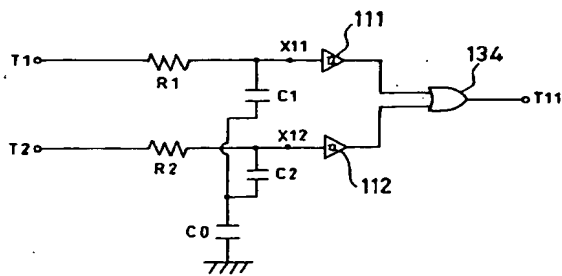
【図16】



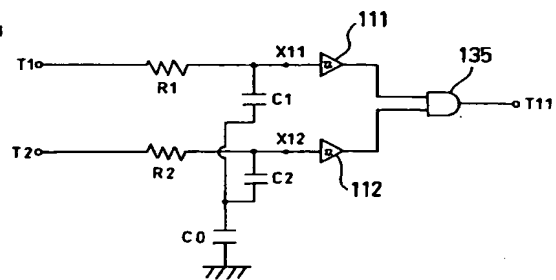
【図17】



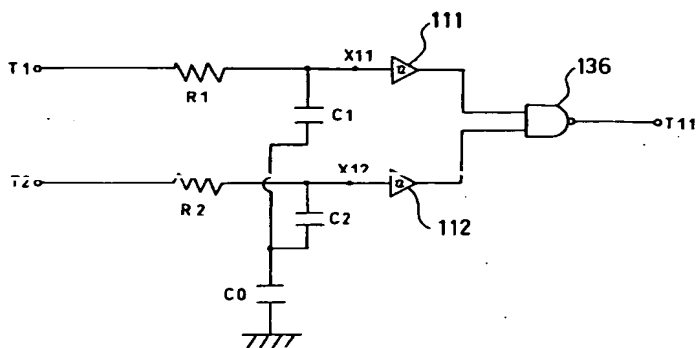
【図18】



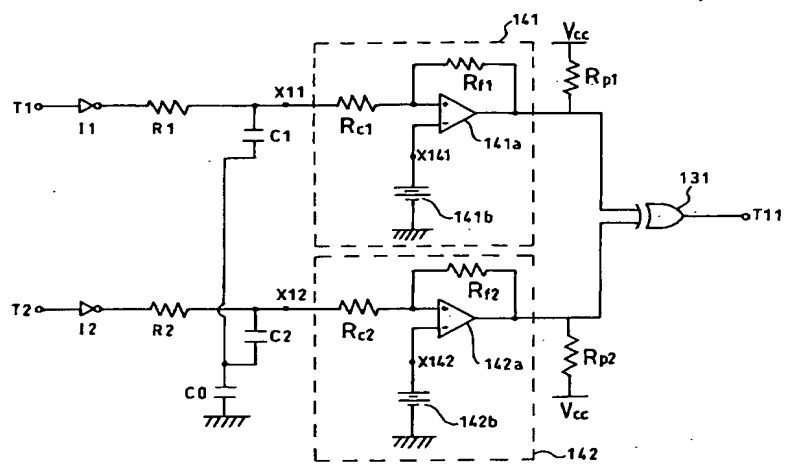
【図19】



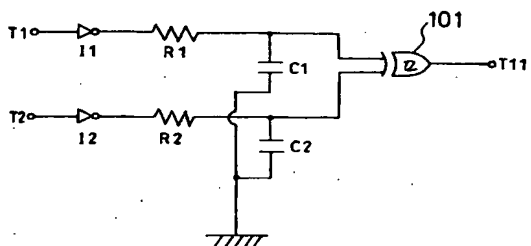
【図20】



【図21】



【図22】



フロントページの続き

Fターム(参考) 2F051 AB06 AC07 BA07 DA03  
5B087 AA09 AB02 AE00 BC02 BC12  
BC13 BC26 BC31

This Page Blank (uspto)